

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-284169

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

H01L 27/146

H04N 5/335

(21)Application number : 10-087613

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.03.1998

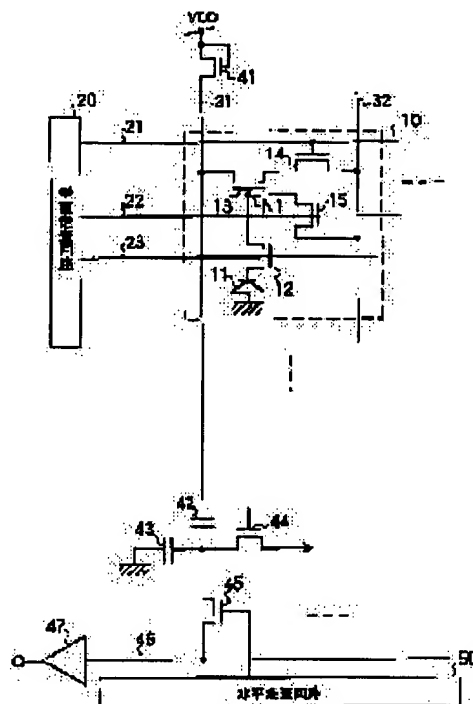
(72)Inventor : SASAKI MICHIO

(54) AMPLIFIED SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress short channel effect when fine MOS.FET is used, by making the gate length of reading MOS.FET to be longer than that of MOS.FET constituting a source follower circuit.

SOLUTION: Respective picture elements 10 arranged in a matrix form have photodiodes 11 converting light into carriers. Reading MOS.FET 12 is connected to the photodiodes 11. Reading MOS.FET 12 operates as a transfer gate reading signal charges accumulated in the photodiode 11 to a charge detection node N1. The gate length of reading MOS.FET 12 is set to be longer than that of other MOS.FET. Thus, short channel effect can be suppressed even if fine MOS.FET is used.



LEGAL STATUS

[Date of request for examination]

14.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the amplified type solid state camera which consists of MOS methods.

[0002]

[Description of the Prior Art] Although the thing various in the solid state camera which used the semiconductor is known, generally, for example as a CCD method using CCD (Charge Couple Device), interchange line transfer type CCD which prepared CCD for a transfer between the photodiode and the photodiode of the following line is known, for example.

[0003] Drawing 5 is the block diagram showing the outline composition of conventional interchange line transfer type CCD.

[0004] After this CCD transmits the charge accumulated at the photodiode 103 to all pixel ****s at perpendicular CCD 101-1 - 101-n and transmits it to level CCD104 for every level Rhine further, it reads each pixel from amplifier 105 in series.

[0005] However, by the above-mentioned CCD method, there were a problem that the potential about 10 [V] is required for read-out of the signal charge accumulated to the photodiode 103, and power consumption increases since 0 [V] potentials and minus potential are further needed at the time of the charge transfer by CCD, and a problem that system-on-chip-izing was difficult in order to use CCD.

[0006] As a solid state camera which solved this point, the MOS method attracts attention. An MOS method arranges the switching device which becomes each pixel from a photodiode and MOS-FET in the composition which chooses a pixel by the grid-like address line.

[0007] Drawing 6 is the block diagram showing the composition of the amplified type solid state camera of the conventional MOS formula. Signal lines 401 and 402 and -- are arranged in the shape of a grid with the control signal lines 301 and 302 from a vertical-scanning circuit, and --, and, as for this solid state camera, the pixel 200 is arranged in each of that intersection part, respectively. Each pixel 200 consists of the photodiode 201 which changes light into a carrier, MOS-FET202 for read-out (TG), MOS-FET203 for amplification, MOS-FET204 for line selection, and MOS-FET205 for reset, and shows the circuitry to drawing 7.

[0008] The sign 311,312 in this drawing 7 is the control signal line of MOS-FET202 for read-out (TG), and MOS-FET205 for reset, respectively, and a control signal is sent out to this control signal line 311,312 from the vertical-scanning circuit 300. Moreover, 411 is a drain wire and predetermined voltage is impressed.

[0009] After the pixel 200 chosen by the vertical-scanning circuit 300 sends the signal charge accumulated to the photodiode 201 to MOS-FET203 for amplification through MOS-FET202 for read-out and amplifies it by this MOS-FET203 for amplification, it is sent out to signal lines 401 and 402 and --.

[0010] The charge which the horizontal scanning circuit 550 "turned on" on switching devices 501 and 502 and -- one by one, consequently was sent out to the level signal line 510 is sent out through amplifier 511 outside.

[0011] Drawing 8 is the important section cross section of the circuit shown in above-mentioned drawing 7, and shows the cross-section structure of a portion of resulting in MOS-FET203 for amplification through MOS-FET202 for read-out, and the charge detection node N11, from the photodiode 201 in drawing 7.

[0012] The sign 600 in this drawing is a P type sub substrate (P-SuB), and the field oxide film for isolation in 601 and 602,702 are the P type well sections (P-Well). 603 is an N type diffusion layer for forming a photodiode, and 604 is an N type diffusion layer equivalent to the charge detection node N11. And the gate electrode 606 is formed through the gate oxide film 605, and above-mentioned MOS-FET202 for read-out is constituted.

[0013] On the other hand, 703,704 is N+ diffusion layer formed in the P type well section 702, the gate electrode 706 is formed in the bottom through the gate oxide film 705, and above-mentioned MOS-FET203 for amplification is constituted.

[0014] And the N type diffusion layer 604 of MOS-FET202 for read-out and the gate electrode 706 of MOS-FET203 for amplification are connected with the aluminum wiring 607, and it is in contact with the N type diffusion layer 704 and drain wire 401 of MOS-FET203 for amplification.

[0015] Moreover, 801 is a layer insulation film and the gobo 802 with which opening of the optical incorporation mouth 803 was carried out is formed in the upper part.

[0016]

[Problem(s) to be Solved by the Invention] However, there were the following troubles in the above-mentioned conventional

amplified type solid state camera.

[0017] That is, in this situation, although gate length becomes short and a gate oxide film is also becoming thin simultaneously with detailed-izing of an element, in order to suppress a short channel effect, also making deep concentration of the well which forms an element is performed. The photodiode 201 which changes light into a carrier is the N type diffusion layer 603 formed into the P type well section 602, if the concentration of the P type well section 602 increases, in order to obtain the predetermined amount of saturation signals, it is necessary to also raise N concentration according to P well concentration, and the concentration of this N type diffusion layer 603 also increases. Consequently, junction electric field become steep and the white blemish picture defect by junction leak increases. since [in addition,] junction becomes shallow -- a long wave -- the spectral sensitivity by the side of merit deteriorated, and there was a problem that the read-out voltage of a charge also became high

[0018] It was made in order that this invention might solve the conventional trouble like ****, and even if the purpose is the case where detailed-ized MOS-FET is used, it is offering the amplified type solid state camera which can suppress a short channel effect. Moreover, the other purposes are offering the amplified type solid state camera which can prevent a white blemish picture defect, sensitivity degradation, and the increase in signal read-out voltage.

[0019]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the feature of the 1st invention The well section formed in the principal plane side of a semiconductor substrate and the aforementioned well section a part The photoelectrical transducer which is formed in a front-face side and has the aforementioned well section and reverse conductivity, MOS-FET for read-out which reads a signal charge from the aforementioned photoelectrical transducer, In the amplified type solid state camera equipped with the detecting element which carries out voltage conversion of the aforementioned signal charge, a means for reset to initialize the potential of the aforementioned detecting element periodically, and the source follower circuit which carried out coupling to the aforementioned detecting element It is in having the structure where the gate length of aforementioned MOS-FET for read-out becomes longer than the gate length of MOS-FET which constitutes the aforementioned source follower circuit.

[0020] According to the 1st invention, also, for example in detailed-ized MOS-FET, the short channel effect of MOS-FET for read-out is suppressed.

[0021] In the 1st above-mentioned invention, the concentration of the well section under aforementioned MOS-FET for read-out has the feature of the 2nd invention in it being lower than the concentration of the well section under MOS-FET which constitutes aforementioned MOS-FET for reset, and the aforementioned source follower circuit.

[0022] According to the 2nd invention, even if it uses detailed-ized MOS-FET, for example, it is not necessary to increase the concentration of a photoelectrical transducer.

[0023]

[Embodiments of the Invention] Hereafter, the operation form of the amplified type solid state camera concerning this invention is explained.

[0024] Drawing 1 is the circuit diagram showing the important section composition of the amplified type solid state camera concerning the operation form of this invention, and only one line is shown in order to simplify explanation.

[0025] Although this amplified type solid state camera is the same as the circuitry shown by drawing 6 on the whole, the gate length of MOS-FET12 for read-out which reads the signal from a photodiode among two or more MOS-FET which constitutes equipment becomes less longer than the gate length of other MOS-FET, and is the feature at the point which made concentration of the well section under this MOS-FET12 for read-out lower than other well sections.

[0026] Hereafter, the composition and operation of this operation form are explained concretely.

[0027] Each pixel 10 arranged in the shape of a matrix has the photodiode 11 which changes light into a carrier, and above-mentioned MOS-FET12 for read-out which constitutes the feature of this invention is connected to this photodiode 11. MOS-FET12 for read-out commits the transfer gate which reads the signal charge accumulated at the photodiode 11 to the charge detection node N1. The charge detection node N1 is connected to the gate electrode of MOS-FET13 for amplification.

[0028] MOS-FET13 for amplification is connected between the perpendicular signal line 31 and MOS-FET14 for line selection, and MOS-FET14 for line selection is connected between a drain wire 32 and MOS-FET13 for amplification. MOS-FET14 for line selection is turned on according to the address signal outputted to the control signal line 21 at the time of selection from the vertical-scanning circuit 20.

[0029] Furthermore, MOS-FET15 for reset is connected between the drain wire 32 and the charge detection node N1.

MOS-FET15 for reset is periodically turned on according to the reset signal outputted to the control signal line 22 from the vertical-scanning circuit 20, and initializes the potential of the charge detection node N1 periodically.

[0030] According to the above-mentioned pixel 10, if the control signal line 21 is chosen by the vertical-scanning circuit 20, MOS-FET14 for selection for the addresses in the pixel 10 connected to the signal line turns on. Then, as a result of activating the control signal line 23 and turning on MOS-FET12 for read-out, the signal charge accumulated at the photodiode 11 is transmitted to the charge detection node N1.

[0031] Since ON control of MOS-FET13 for amplification is carried out according to the potential of this node N1, the amount of current which flows from a drain wire 32 to the perpendicular signal line 31 will be controlled. That is, a stored charge is amplified by MOS-FET13 for amplification, and is transmitted to the perpendicular signal line 31.

[0032] While the upper limit of the perpendicular signal line 31 is connected to the supply voltage line VDD through the constant current source 41 which consists of MOS-FET, the soffit is connected to the level signal line 46 through MOS-FET45 a capacitor 42 and for vertical-lines selection. Furthermore, MOS-FET44 a capacitor 43 and for a signal-line clamp is connected to the node

of a capacitor 42 and MOS-FET45.

[0033] The charge outputted to the perpendicular signal line 31 is accumulated at a capacitor 43, and change of the potential is told to the level signal line 46 through MOS-FET45. The horizontal scanning circuit 50 will carry out ON/OFF control of each MOS-FET45 one by one, consequently the charge in every line will be sent out from amplifier 47 outside.

[0034] Drawing 2 is the important section cross section of the circuit shown in above-mentioned drawing 1, and shows the cross-section structure of a portion of resulting in MOS-FET13 for amplification through MOS-FET12 for read-out, and the charge detection node N1, from the photodiode 11 in drawing 1.

[0035] In this drawing, the field oxide film 61 for isolation is formed in the main front face of the P type sub substrate (P-SuB) 60. The P type well sections (P-Well) 62 and 72 are formed in the front-face side of the element field separated by the field oxide film 61. Furthermore, the N type diffusion layer 63 for [of the P type well section 62] forming a photodiode 11 in a front-face side and the N type diffusion layer 64 which becomes the charge detection node N1 which carries out voltage conversion of the signal charge are formed in part.

[0036] Here, the formation conditions of the N type diffusion layer 63 are 300Kev(s) and a dose about P (Lynn) 8.0E12 Atom/cm3 It carries out. And the gate electrode 66 is formed through the gate oxide film 65, and MOS-FET12 for read-out is constituted.

[0037] on the other hand -- a part of P type well section 72 -- N+ type diffusion layers 73 and 74 are formed in the front-face side And the gate electrode 76 is formed in the bottom through the gate oxide film 75, and above-mentioned MOS-FET13 for amplification is constituted.

[0038] The contact section 67 of the N type diffusion layer 64 of MOS-FET12 for read-out and the gate electrode 76 of MOS-FET13 for amplification are connected with the aluminum wiring 68, and the N type diffusion layer 74 of MOS-FET13 for amplification is connected to the drain wire 32 in the contact section 77.

[0039] And the layer insulation film 81 is formed on the substrate 60 in which each above-mentioned element was formed, and the gobo 82 (for example, 4000-8000A aluminum film) with which opening of the optical incorporation mouth 83 was carried out on the photodiode 11 is formed in the upper surface.

[0040] Drawing 3 is other important section cross sections of the circuit shown in above-mentioned drawing 1, and shows the cross-section structure of a portion of resulting [from the charge detection node N1 in drawing 1] in MOS-FET15 for reset.

[0041] In part, that MOS-FET15 for reset should be constituted in a front-face side, the N type diffusion layer 64 equivalent to the charge detection node N1 and the N type diffusion layer 84 of the P type well section 62 shown in drawing 2 are formed, and the gate electrode 86 is formed in the bottom through the gate oxide film 85. In addition, 80 in drawing is equivalent to the drain wire 32 shown in drawing 1, and 87 is equivalent to the control signal line 22 shown in drawing 1.

[0042] In addition, although it does not appear in drawing 3, the contact and wiring which the widening MOS gate inputs are connected to the diffusion layer 64.

[0043] Drawing 4 is other important section cross sections of the circuit shown in above-mentioned drawing 1, and shows the cross-section structure of a portion of resulting in a drain wire 32, from the perpendicular signal line 31 in drawing 1 through MOS-FET13 for amplification, and MOS-FET14 for line selection.

[0044] a part of P type well section 72 shown in drawing 2 -- the N type diffusion layers 91 and 92 are formed in a front-face side that MOS-FET14 for line selection should be constituted, and the gate electrode 93 is formed in the bottom through the gate oxide film 75

[0045] [as mentioned above, when the element constituted from four kinds of MOS-FET for the object for read-out, the object for reset, the object for amplification, and line selection in 1 pixel is taken for an example] When a design rule is set to 0.4 micrometers and supply voltage VDD sets thickness of the gate oxide films 65, 75, and 85 to 70nm by 3.0-2.8v, only gate length of MOS-FET12 for read-out is set to 0.7 micrometers, and the gate length of other MOS-FET may be 0.4 micrometers.

Moreover, when supply voltage VDD sets thickness of the gate oxide films 65, 75, and 85 to 140nm by 3.3v, only gate length of MOS-FET12 for read-out is set to 0.9-1.1 micrometers, and the gate length of other MOS-FET may be 0.6-0.7 micrometers.

[0046] Furthermore, only P type well section 62 concentration under MOS-FET12 for read-out is set to 5E15cm-3, and the P type well section 72 under other MOS-FET is set to 1E18m-3.

[0047] Thus, with this operation form, since it was made for the gate length of MOS-FET12 for read-out which reads the signal from a photodiode 11 to become longer than the gate length of other MOS-FET, it is in the situation using detailed-ized MOS-FET, and even if it does not make deep concentration of the P type well section 62 which forms an element, it becomes possible to suppress a short channel effect. Since it is not necessary to increase the concentration of the N type diffusion layer 63 used as a photodiode 11 by this, there is an advantage which can prevent the white blemish picture defect by ** junction leak and which can also secure enough the spectral sensitivity by the side of ** length wavelength that the read-out voltage of ** charge can be stopped low.

[0048] Even if a substrate forms P well structure into an N type substrate, without restricting to P type, it has the same effect. Moreover, it is not what also restricted a means to reset a detecting element to MOSFET. Furthermore, it is not what also restricted a means to activate a source follower circuit to MOSFET, and the capacitor combined with the input gate may be used.

[0049]

[Effect of the Invention] Since it has the structure where the gate length of MOS-FET for read-out becomes longer than the gate length of MOS-FET which constitutes MOS-FET for reset, and a source follower circuit according to the amplified type solid state camera which is the 1st invention as explained to the detail above, even if it uses detailed-ized MOS-FET, it becomes

possible to suppress a short channel effect.

[0050] According to the amplified type solid state camera which is the 2nd invention, it sets to the 1st above-mentioned invention. the concentration of the well section under MOS-FET for read-out Since it was made lower than the concentration of the well section under MOS-FET which constitutes MOS-FET for reset, and a source follower circuit Even if it uses detailed-ized MOS-FET, it is not necessary to increase the concentration of a photoelectrical transducer, a white blemish picture defect and sensitivity degradation can be prevented, and it becomes possible to stop signal read-out voltage low moreover.

[Translation done.]

【特許請求の範囲】

【請求項1】 半導体基板の主面側に形成されたウェル部と、前記ウェル部の一部表面側に形成され前記ウェル部と逆導電性を有する光電変換部と、前記光電変換部から信号電荷を読み出す読み出し用MOS・FETと、前記信号電荷を電圧変換する検出部と、前記検出部の電位を周期的に初期化するリセット手段と、前記検出部と入力結合したソースフォロア回路とを備えた増幅型固体撮像装置において、前記読み出し用MOS・FETのゲート長が、前記ソースフォロア回路を構成するMOS・FETのゲート長よりも長くなるような構造を有することを特徴とする増幅型固体撮像装置。

【請求項2】 前記読み出し用MOS・FET下のウェル部の濃度は、前記リセット用MOS・FET及び前記ソースフォロア回路を構成するMOS・FET下のウェル部の濃度よりも低いことを特徴とする請求項1記載の増幅型固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOS方式で構成される増幅型固体撮像装置に関する。

【0002】

【従来の技術】 半導体を使用した固体撮像装置は、種々のものが知られているが、例えばCCD (Charge Couple Device) を用いたCCD方式としては、例えば、フォトダイオードと次の行のフォトダイオード間に転送用のCCDを設けたインタライン転送型CCDが一般的に知られている。

【0003】 図5は、従来のインタライン転送型CCDの概略構成を示すブロック図である。

【0004】 このCCDは、フォトダイオード103に蓄積された電荷を全画素同時に垂直CCD101-1～101-nに転送し、さらに水平1ラインごとに水平CCD104に転送した後、アンプ105から各画素を直列に読み出す。

【0005】 しかし、上記CCD方式では、フォトダイオード103に蓄積した信号電荷の読み出しに10

【V】程度の電位が必要であり、さらにCCDによる電荷転送時には0【V】電位とマイナス電位が必要となるために消費電力が増大するという問題や、CCDを用いるためシステムオンチップ化が困難であるという問題があった。

【0006】 この点を解決した固体撮像装置として、MOS方式が目玉されている。MOS方式は、格子状のアドレス線で画素を選択する構成において、各画素に、フォトダイオードとMOS・FETからなるスイッチ素子等を配置したものである。

【0007】 図6は、従来のMOS式の増幅型固体撮像装置の構成を示すブロック図である。この固体撮像装置

は、垂直走査回路からの制御信号線301、302、…と信号線401、402、…とが格子状に配置され、その各交差箇所には画素200がそれぞれ配置されている。各画素200は、光をキャリアに変換するフォトダイオード201、読み出し用MOS・FET (TG) 202、増幅用MOS・FET 203、ライン選択用MOS・FET 204、及びリセット用MOS・FET 205から構成され、その回路構成を図7に示す。

【0008】 同図7中の符号311、312は、それぞれ読み出し用MOS・FET (TG) 202とリセット用MOS・FET 205の制御信号線であり、この制御信号線311、312には、垂直走査回路300から制御信号が送出される。また、411はドレイン線であり、所定の電圧が印加される。

【0009】 垂直走査回路300によって選択された画素200は、フォトダイオード201に蓄積した信号電荷を読み出し用MOS・FET 202を通して増幅用MOS・FET 203へ送り、この増幅用MOS・FET 203で増幅した後に、信号線401、402、…へ送出する。

【0010】 水平走査回路550は、スイッチ素子501、502、…を順次“ON”し、その結果、水平信号線510に送出された電荷はアンプ511を介して外部へ送出される。

【0011】 図8は、上記図7に示した回路の要部断面図であり、図7中のフォトダイオード201から、読み出し用MOS・FET 202及び電荷検出ノードN11を経て増幅用MOS・FET 203に至る部分の断面構造を示している。

【0012】 同図中の符号600はP型サブ基板 (P-Sub) であり、また601は素子分離用のフィールド酸化膜、602、702はP型ウェル部 (P-Well) である。603はフォトダイオードを形成するためのN型拡散層であり、604は電荷検出ノードN11に相当するN型拡散層である。そして、ゲート酸化膜605を介してゲート電極606が形成され、上記読み出し用MOS・FET 202が構成されている。

【0013】 一方、703、704は、P型ウェル部702に形成されたN+拡散層であり、その上側にゲート酸化膜705を介してゲート電極706が形成され、上記増幅用MOS・FET 203が構成されている。

【0014】 そして、読み出し用MOS・FET 202のN型拡散層604と増幅用MOS・FET 203のゲート電極706とがアルミ配線607で接続され、また増幅用MOS・FET 203のN型拡散層704とドレイン線401がコンタクトされている。

【0015】 また、801は層間絶縁膜であり、その上部には、光取り込み口803が開口された遮光板802が設けられている。

【0016】

【発明が解決しようとする課題】しかしながら、上記従来の増幅型固体撮像装置では、次のような問題点があった。

【0017】すなわち、素子の微細化に伴いゲート長が短くなり、同時にゲート酸化膜も薄くなってきているが、かかる状況では、短チャネル効果を抑制するため、素子を形成するウェルの濃度も濃くすることが行われている。光をキャリアに変換するフォトダイオード201は、P型ウェル部602中に形成されるN型拡散層603であり、P型ウェル部602の濃度が増加すると、所定の飽和信号量を得るためには、Pウェル濃度に応じてN濃度も向上させる必要があり、該N型拡散層603の濃度も増大する。その結果、接合電界が急峻になり、接合リークによる白傷画像欠陥が増加する。加えて、接合が浅くなるため長波長側での分光感度が劣化し、また電荷の読み出し電圧も高くなるという問題があった。

【0018】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、微細化MOS・FETを用いた場合であっても、短チャネル効果を抑制することができる増幅型固体撮像装置を提供することである。またその他の目的は、白傷画像欠陥、感度劣化、及び信号読み出し電圧の増加を防止することができる増幅型固体撮像装置を提供することである。

【0019】

【課題を解決するための手段】上記目的を達成するために、第1の発明の特徴は、半導体基板の主面側に形成されたウェル部と、前記ウェル部の一部表面側に形成され前記ウェル部と逆導電性を有する光電変換部と、前記光電変換部から信号電荷を読み出す読み出し用MOS・FETと、前記信号電荷を電圧変換する検出部と、前記検出部の電位を周期的に初期化するリセット用手段と、前記検出部と入力結合したソースフォロア回路とを備えた増幅型固体撮像装置において、前記読み出し用MOS・FETのゲート長が前記ソースフォロア回路を構成するMOS・FETのゲート長よりも長くなるような構造を有することにある。

【0020】第1の発明によれば、例えば微細化MOS・FETにおいても、読み出し用MOS・FETの短チャネル効果が抑制される。

【0021】第2の発明の特徴は、上記第1の発明において、前記読み出し用MOS・FET下のウェル部の濃度は、前記リセット用MOS・FET及び前記ソースフォロア回路を構成するMOS・FET下のウェル部の濃度よりも低いことにある。

【0022】第2の発明によれば、例えば微細化MOS・FETを用いても、光電変換部の濃度を増大させなくて済む。

【0023】

【発明の実施の形態】以下、本発明に係わる増幅型固体撮像装置の実施形態について説明する。

【0024】図1は、本発明の実施形態に係る増幅型固体撮像装置の要部構成を示す回路図であり、説明を簡単にするために1ライン分のみ示されている。

【0025】この増幅型固体撮像装置は、全体的には図6で示した回路構成と同じであるが、装置を構成する複数のMOS・FETのうち、フォトダイオードからの信号を読み出す読み出し用MOS・FET12のゲート長が、他のMOS・FETのゲート長よりも長くなり、また該読み出し用MOS・FET12下のウェル部の濃度を他のウェル部よりも低くした点に特徴である。

【0026】以下、本実施形態の構成及び動作を具体的に説明する。

【0027】マトリクス状に配置された各画素10は、光をキャリアに変換するフォトダイオード11を有し、このフォトダイオード11には、本発明の特徴を成す上記の読み出し用MOS・FET12が接続されている。読み出し用MOS・FET12はフォトダイオード11に蓄積された信号電荷を電荷検出ノードN1へ読み出すトランスファゲートの働きをする。電荷検出ノードN1は、増幅用MOS・FET13のゲート電極に接続されている。

【0028】増幅用MOS・FET13は、垂直信号線31とライン選択用MOS・FET14との間に接続され、またドレイン線32と増幅用MOS・FET13との間にはライン選択用MOS・FET14が接続されている。ライン選択用MOS・FET14は、垂直走査回路20から制御信号線21に出力されたアドレス信号に従って選択時にオンされる。

【0029】さらに、ドレイン線32と電荷検出ノードN1との間にはリセット用MOS・FET15が接続されている。リセット用MOS・FET15は、垂直走査回路20から制御信号線22に出力されたリセット信号に従って周期的にオンし、電荷検出ノードN1の電位を周期的に初期化する。

【0030】上記画素10によれば、垂直走査回路20により制御信号線21が選択されると、その信号線に接続されている画素10内のアドレス用選択用MOS・FET14がオンする。続いて、制御信号線23が活性化されて読み出し用MOS・FET12をオンする結果、フォトダイオード11に蓄積された信号電荷が電荷検出ノードN1へ転送される。

【0031】このノードN1の電位に応じて増幅用MOS・FET13がオン制御されるため、ドレイン線32から垂直信号線31へ流れる電流量が制御されることになる。すなわち、蓄積電荷は、増幅用MOS・FET13によって増幅されて、垂直信号線31へ転送される。

【0032】垂直信号線31の上端は、MOS・FETで構成される定電流源41を介して電源電圧ラインVDDに接続される一方、その下端はキャパシタ42及び垂直ライン選択用のMOS・FET45を介して水平信号

線46に接続されている。さらに、キャパシタ42とMOS・FET45との接続点には、キャパシタ43と信号線クランプ用のMOS・FET44が接続されている。

【0033】垂直信号線31へ出力された電荷はキャパシタ43に蓄積され、その電位の変化がMOS・FET45を通して水平信号線46に伝えられる。水平走査回路50は、各MOS・FET45を順次オン／オフ制御し、その結果、1ラインごとの電荷がアンプ47から外部へ送出されることになる。

【0034】図2は、上記図1に示した回路の要部断面図であり、図1中のフォトダイオード11から、読み出し用MOS・FET12及び電荷検出ノードN1を経て増幅用MOS・FET13に至る部分の断面構造を示している。

【0035】同図において、P型サブ基板(P-Sub)60の主表面には、素子分離用のフィールド酸化膜61が形成されている。フィールド酸化膜61によって分離された素子領域の表面側には、P型ウェル部(P-Well)62、72が形成されている。さらに、P型ウェル部62の一部表面側には、フォトダイオード11を形成するためのN型拡散層63と、信号電荷を電圧変換する電荷検出ノードN1になるN型拡散層64とが形成されている。

【0036】ここで、N型拡散層63の形成条件は、例えばP(リン)を300KeV、ドーズ量を8.0E12 Atom/cm²とする。そして、ゲート酸化膜65を介してゲート電極66が形成され、読み出し用MOS・FET12が構成されている。

【0037】一方、P型ウェル部72の一部表面側には、N+型拡散層73、74が形成されている。そして、その上側にゲート酸化膜75を介してゲート電極76が形成され、上記増幅用MOS・FET13が構成されている。

【0038】読み出し用MOS・FET12のN型拡散層64のコンタクト部67と増幅用MOS・FET13のゲート電極76とは、アルミ配線68で接続され、また増幅用MOS・FET13のN型拡散層74がコンタクト部77でドレイン線32に接続されている。

【0039】そして、上記各素子が形成された基板60上には層間絶縁膜81が形成され、その上には、光取り込み口83がフォトダイオード11上で開口された遮光板82(例えば4000~8000Åのアルミ膜)が設けられている。

【0040】図3は、上記図1に示した回路の他の要部断面図であり、図1中の電荷検出ノードN1からリセット用MOS・FET15に至る部分の断面構造を示している。

【0041】図2に示したP型ウェル部62の一部表面側には、リセット用MOS・FET15を構成すべく、

電荷検出ノードN1に相当するN型拡散層64と、N型拡散層84が形成され、その上側にゲート酸化膜85を介してゲート電極86が形成されている。なお、図中の80は、図1に示したドレイン線32に相当し、また87は図1に示した制御信号線22に相当する。

【0042】なお、図3には表れていないが、拡散層64には増幅MOSゲートの入力するコンタクトと配線が接続されている。

【0043】図4は、上記図1に示した回路の他の要部断面図であり、図1中の垂直信号線31から、増幅用MOS・FET13及びライン選択用MOS・FET14を経て、ドレイン線32に至る部分の断面構造を示している。

【0044】図2に示したP型ウェル部72の一部表面側には、ライン選択用MOS・FET14を構成すべく、N型拡散層91、92が形成され、その上側にゲート酸化膜75を介してゲート電極93が形成されている。

【0045】上述したように、1画素内に、読み出し用、リセット用、増幅用及びライン選択用の4種類のMOS・FETで構成した素子を例にとった場合において、デザインルールを0.4μmとし、電源電圧VDDが3.0~2.8Vでゲート酸化膜65、75、85の膜厚を70nmとすると、読み出し用MOS・FET12のゲート長のみ0.7μmとし、他のMOS・FETのゲート長は0.4μmとする。また、電源電圧VDDが3.3Vでゲート酸化膜65、75、85の膜厚を140nmとすると、読み出し用MOS・FET12のゲート長のみ0.9~1.1μmとし、他のMOS・FETのゲート長は0.6~0.7μmとする。

【0046】さらに、読み出し用MOS・FET12下のP型ウェル部62濃度のみを例えば5E15cm⁻³とし、他のMOS・FET下のP型ウェル部72は1E18cm⁻³とする。

【0047】このように本実施形態では、フォトダイオード11からの信号を読み出す読み出し用MOS・FET12のゲート長が、他のMOS・FETのゲート長よりも長くなるようにしたので、微細化MOS・FETを用いる状況にあつて、素子を形成するP型ウェル部62の濃度を濃くしなくても、短チャネル効果を抑制することが可能になる。これにより、フォトダイオード11となるN型拡散層63の濃度を増大させなくて済むため、①接合リークによる白傷画像欠陥を未然に防ぐことができる、②長波長側での分光感度も十分確保することができる、③電荷の読み出し電圧を低く抑えることができる、といった利点がある。

【0048】基板はP型に限ることなく、N型基板中にPウェル構造を形成しても同様の効果がある。また、検出部をリセットする手段もMOSFETに限ったものではない。さらに、ソースフォロア回路を活性化する手段

もMOSFETに限ったものではなく、入力ゲートに結合したキャパシタを用いても良い。

【0049】

【発明の効果】以上詳細に説明したように、第1の発明である増幅型固体撮像装置によれば、読み出し用MOS・FETのゲート長がリセット用MOS・FET及びソースフォロア回路を構成するMOS・FETのゲート長よりも長くなるような構造を有するので、微細化MOS・FETを用いても、短チャネル効果を抑制することが可能になる。

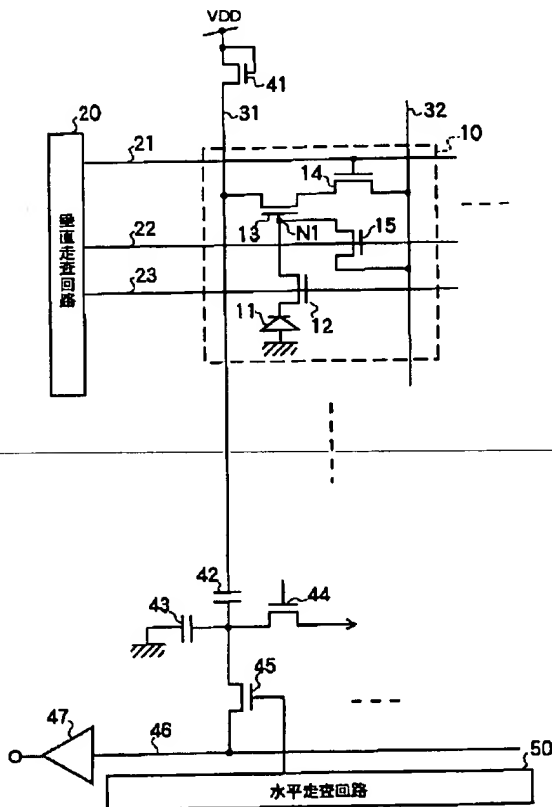
【0050】第2の発明である増幅型固体撮像装置によれば、上記第1の発明において、読み出し用MOS・FET下のウェル部の濃度は、リセット用MOS・FET及びソースフォロア回路を構成するMOS・FET下のウェル部の濃度よりも低くしたので、微細化MOS・FETを用いても、光電変換部の濃度を増大させなくて済み、白傷画像欠陥や感度劣化を防ぐことができ、しかも信号読み出し電圧を低く抑えることが可能になる。

【図面の簡単な説明】

【図１】本発明の実施形態に係る増幅型固体撮像装置の要部構成を示す回路図である。

【図2】図1に示した回路の要部断面図である。

【図1】



【図3】図1に示した回路の他の要部断面図である。

【図4】図1に示した回路の他の要部断面図である。

【図5】従来のインタライン転送型CCDの概略構成を示すブロック図である。

【図6】従来のMOS式の増幅型固体撮像装置の構成を示すブロック図である。

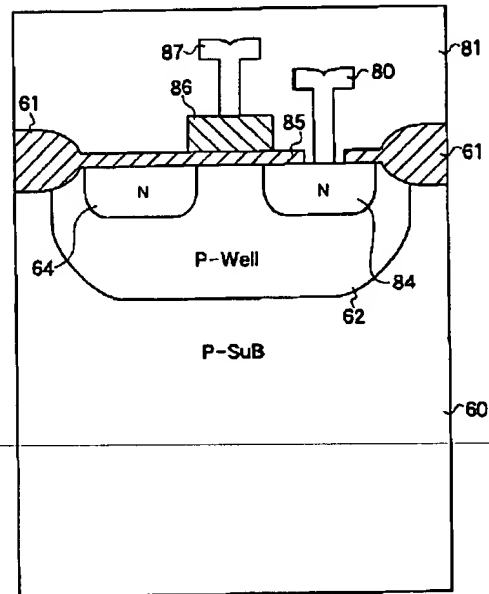
【図7】従来のMOS式の増幅型固体撮像装置の画素の構成を示す回路図である。

【図8】図7に示した回路の要部断面図である。

10 【符号の説明】

- 10 画素
11 フォトダイオード
12 読み出し用MOS・FET
13 増幅用MOS・FET
14 ライン選択用MOS・FET
15 リセット用MOS・FET
60 P型サブ基板 (P-SuB)
62, 72 P型ウェル部 (P-Well)
63, 64 N型拡散層
65 ゲート酸化膜
73, 74 N型拡散層
N1 電荷検出ノード

【図3】



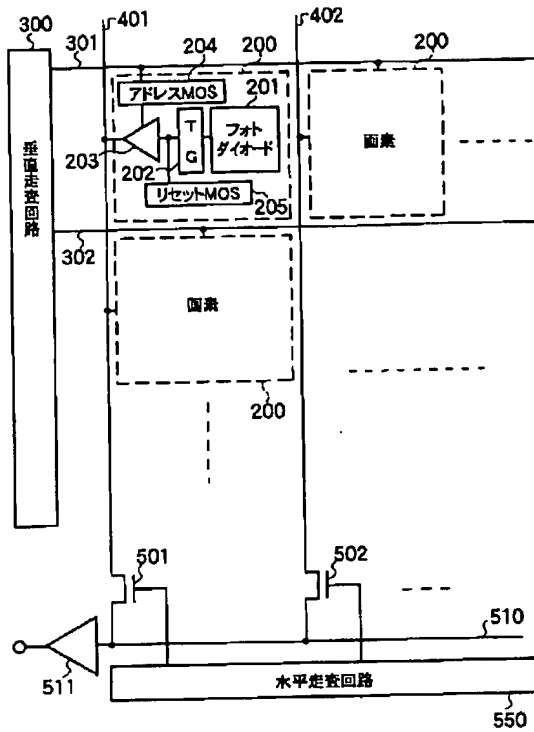
61 77 31 76 75 22 83 94 32 72 92 81

P-Well

P-Sub 80

[illegible]

【図6】



【图8】